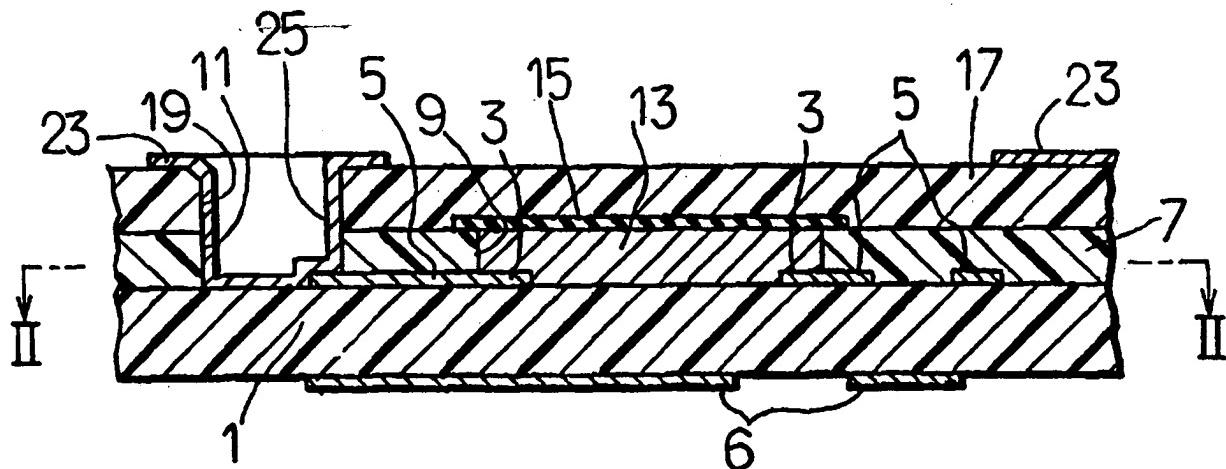


| | | |
|---|----------|---|
| (51) 国際特許分類6 H05K 1/16 | A1 | (11) 国際公開番号 WO98/27795 |
| | | (43) 国際公開日 1998年6月25日(25.06.98) |
| (21) 国際出願番号 PCT/JP97/04655 | | (74) 代理人 弁理士 松本英俊, 外(MATSUMOTO, Hidetoshi et al.) 〒105 東京都港区虎ノ門2丁目5番2号 エアチャイナビル9階 Tokyo, (JP) |
| (22) 国際出願日 1997年12月17日(17.12.97) | | (81) 指定国 CA, CN, KR, MX, US, 歐州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). |
| (30) 優先権データ 特願平8/337047 特願平8/343531 | JP JP | (71) 出願人 (米国を除くすべての指定国について) 北陸電気工業株式会社 (HOKURIKU ELECTRIC INDUSTRY CO., LTD.)[JP/JP] 〒939-22 富山県上新川郡大沢野町下大久保3158番地 Toyama, (JP) |
| (72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 石山一郎(ISHIYAMA, Ichiro)[JP/JP] 流一郎(NAGARE, Ichiro)[JP/JP] 山崎盛勝(YAMAZAKI, Morikatsu)[JP/JP] 小原陽三(OHARA, Yozo)[JP/JP] 東 純二(HIGASHI, Koji)[JP/JP] 〒939-22 富山県上新川郡大沢野町下大久保3158番地 北陸電気工業株式会社内 Toyama, (JP) | | (添付公開書類 国際調査報告書) |

(54)Title: CIRCUIT BOARD HAVING ELECTRIC COMPONENT AND ITS MANUFACTURING METHOD

(54)発明の名称 電気部品を備えた回路基板及びその製造方法



(57) Abstract

A circuit board having an electric component which has an electric element smaller than a conventional element. A circuit pattern (5) which includes a pair of contact electrodes (3 and 3) is formed on the surface of a board (1) made of an insulating material. A photoresist film (7) is formed on the surface of a board (1). At least one electric element forming hole (9) is formed in the photoresist film (7) by a lithography technology so as to expose at least part of the pair of the contact electrodes (3 and 3). The electric element forming hole (9) is filled with an electric element forming paste material to form an electric element (13). A protective film (15) made of a synthetic resin is so formed as to close the electric element forming hole (9).

本発明は、従来よりも小形の電気素子を有する電気部品を備えた回路基板を提供する。絶縁材料によって形成された基板(1)の表面に一対の接続用電極(3, 3)を含む回路パターン(5)を形成する。基板(1)の表面にフォトレジスト膜(7)を形成する。一対の接続用電極(3, 3)の少なくとも一部を露出させるようにリソグラフィ技術を用いて1以上の電気素子形成用孔部(9)をフォトレジスト膜(7)に形成する。電気素子形成用孔部(9)に電気素子形成用ペースト材料を充填して電気素子(13)を形成する。電気素子形成用孔部(9)を塞ぐように合成樹脂材料を用いて保護膜(15)を形成する。

? C T に基づいて公開される国際出願のパンフレット第一頁に掲載された P C T 加盟国を同定するために使用されるコード (参考情報)

明細書

電気部品を備えた回路基板及びその製造方法

技術分野

本発明は、基板の表面に抵抗体、インダクタ、コンデンサ等の電気部品が形成された電気部品を備えた回路基板及びその製造方法に関するものであり、特に電気部品の高密度実装化を可能にした電気部品を備えた回路基板及びその製造方法に関するものである。

背景技術

基板の上に、印刷技術を用いて抵抗体、インダクタ及びコンデンサ等の電気部品を形成した電気部品を備えた回路基板が広く用いられている。この電気部品は電極と抵抗体や誘電体などの電気素子とから構成されている。また絶縁層と導電層とを交互に重ねて（ビルドアップして）複層化した複層回路基板も知られている。これらの回路基板において、従来は電気部品を印刷により形成する場合に、スクリーン印刷により電気素子を形成している。スクリーン印刷では、所定のメッシュのマスクを用いる。そして、このマスクの上に抵抗体ペーストなどの電気素子形成用ペースト材料を載せ、スキージでペースト材料をマスクの上で広げて電気素子を形成する。ペースト材料はマスクのメッシュの孔を通して基板の表面または基板の表面の回路パターンの電極の上に付着する。メッシュの孔の大きさを小さくすると即ちメッシュを細かくすると、微細な印刷ができるため、電気素子の小形化を図ることができる。しかしながらメッシュの孔の大きさを小さくすることができるても、電気素子形成用ペースト材料の中に含まれる各種の粒子の粒径を小さくすることには限界がある。そのため現状では、メッシュの孔の大きさを小さくして、微細印刷をすることにより電気素子を小形化することには限界がある。またスクリーン印刷で形成した電気素子の表面には、マスクの

メッシュが原因になって発生する凹凸が形成される。電気素子が小さくなればなるほど、この凹凸のバラツキが各電気素子の電気的な値にバラツキを生じさせる原因となる。

本発明の目的は、従来よりも小形の電気素子を有する電気部品を備えた回路基板及びその製造方法を提供することにある。

本発明の他の目的は、トリミングが可能でしかも従来よりも小形の電気素子を有する電気部品を備えた回路基板及びその製造方法を提供することにある。

発明の開示

本発明の電気部品を備えた回路基板は、絶縁材料によって形成された基板の表面に1以上の接続用電極を含む回路パターンを備えている。また1以上の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術により形成された1以上の電気素子形成用孔部を備えたフォトレジスト膜が基板の表面に形成されている。そして電気素子形成用孔部に電気素子形成用ペースト材料が充填されて電気素子が形成されている。電気素子が抵抗体やインダクタであれば、電気素子形成用孔部内には通常一対の接続用電極の少なくとも一部が位置する。電気部品がコンデンサの場合には、電気素子形成用孔部内には1つの接続用電極（下側電極）が形成される。そしてこの場合、他方の電極（上側電極）は電気素子形成用孔部内に電気素子形成用ペースト材料が充填されて形成された電気素子の露出面上に形成されることになる。

ここでリソグラフィ技術とは、半導体製造プロセス等における微細加工において用いられている技術である。この技術では、フォトレジスト膜に所定のパターンが描かれたマスクを通して露光したり（フォトリソグラフィ）、露光の代わりに電子線をフォトレジストに照射する（電子線リソグラフィ）。そして光または電子線が当たったフォトレジスト膜の部分の現像液に対する溶解性を他の部分の現像液に対する溶解性と異ならせる。露光した部分が現像液に対して溶解しやすくなるものがポジ型と呼ばれ、溶解し難くなるものがネガ型と呼ばれる。そして最後に、エッティング（ウェット

エッティングまたはドライエッティング)を行って、溶解しやすい部分を除去することにより、所望のレジスト膜を得る。本発明では、このようなリソグラフィ技術を用いて、フォトレジスト膜に電気素子形成用孔部を形成する。このようにして形成した電気素子形成用孔部の寸法は、非常に小さく、直径0.1mmの孔も正確に形成することができる。そのため例えば0.6mm×0.3mmの形状寸法の電気素子を形成することも可能である。ちなみにスクリーン印刷では、1.6mm×0.8mmの形状寸法の電気素子を形成するのが限界である。

よって本発明によれば、基板の上に形成する電気素子を従来よりも大幅に小さくすることができる。そのため回路基板の回路パターンの高密度化に対応できる。また本発明の回路基板を複層回路基板のコア基板等に用いると複層回路基板を従来よりも更に高密度化することができる。

なお電気素子形成用ペースト材料が充填された電気素子形成用孔部を塞ぐ合成樹脂ペースト材料からなる保護膜を更に設けると、電気素子の特性の変化を抑制できる。また複層回路基板を形成する場合においても、保護膜を更に設けると、電気素子の特性の変化を抑制できる。複層回路基板を形成する場合には、フォトレジスト膜の上に合成樹脂材料からなる1層構造以上の絶縁層を更に形成し、この絶縁層の上に回路パターンを更に形成する。電気素子がコンデンサの場合には、この絶縁層の上に形成される回路パターンの形成と同時にコンデンサの上側電極を形成すればよい。

このようにして形成された電気素子の電気的な値の調整即ちトリミングが必要な場合には、レーザートリミング法のような公知のトリミング法を用いればよい。但し複層回路基板を形成する場合、絶縁層には、電気素子に対応した部分に保護膜の少なくとも一部を露出させるトリミング用孔部を形成しておく。トリミング用孔部の形成は、エッティングでもよいし、機械加工でもよい。このようにすれば複層回路基板を形成した後に、最終的に電気素子のトリミングを行うことができる。

本発明の回路基板を製造する場合には、絶縁材料によって形成された基板の表面に1以上の接続用電極を含む回路パターンを形成する工程と、基板の表面にフォトレジ

スト膜を形成する工程と、1以上の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用いて1以上の電気素子形成用孔部をフォトレジスト膜に形成する工程と、電気素子形成用孔部に電気素子形成用ペースト材料を充填して電気素子を形成する工程とを実施する。

図面の簡単な説明

図1は、本発明の電気部品を備えた回路基板の一例の要部の断面図である。図2は、図1のII-II線断面図であり、図3ないし図9は、それぞれ図1の例を製造する過程の状態をそれぞれ示す図である。図10は、本発明の電気部品を備えた回路基板の他の例の要部の断面図である。図11は、コンデンサを電気部品として備えた回路基板の一例の要部の断面図である。図12は、本発明の回路基板を内層回路基板として構成した複層回路基板の一例の断面斜視図である。

発明を実施するための最良の形態

以下図面を参照して、本発明の最良の形態の一例を説明する。図1は、本発明の電気部品を備えた回路基板の一例の要部の断面図である。図2は、図1のII-II線断面図であり、図3ないし図9は、図1の例を製造する過程の状態をそれぞれ示す図である。この回路基板は、いわゆるビルドアップ技術で形成した複層回路基板と呼ばれるものである。図1において、1はガラスエポキシ基板、フェノール樹脂基板等のようにある程度硬質の絶縁性材料からなる基板である。この基板1の表面には、一対の接続用電極3、3を含む回路パターン5が形成されており、またこの基板1の裏面にも別の回路パターン6が形成されている。回路パターン5及び6は、銅箔をエッチングして形成してもよいし、導電性ペーストを用いて形成してもよい。導電性ペーストとしては、例えば銀、銅、銀-パラジウム等の導電性を有する粒子とフェノール系またはエポキシ系の樹脂バインダとを混練してなる導電性ペーストを用いることができる。なお銅箔によって回路パターン5を形成する場合には、接続用電極3、3の表面

を前述の導電性ペーストと同様の導電性ペーストにより覆うようにするのが好ましい。

図3は基板1の両面に回路パターン5及び6を形成した状態を示している。

基板1の表面にはフェノール樹脂系のノボラック樹脂やエポキシ樹脂系の感光性樹脂からなるフォトレジスト膜7が形成されている。このフォトレジスト膜7には、リソグラフィ技術を用いて一対の接続用電極3、3を露出させる電気素子形成用孔部9及び後にスルーホール導電部を形成するための孔部11が形成されている。フォトレジスト膜7を形成する場合には、図4に示すように基板1の表面に全体に感光性樹脂を塗布し、これを乾燥させて露光前の未露光フォトレジスト膜7'を形成する。そしてこの未露光フォトレジスト膜7'に電気素子形成用孔部9及びスルーホール導電部を形成するための孔部11を含む所定のパターンが描かれたマスクを通して露光するか（フォトリソグラフィ）、または露光の代わりに電子線をフォトレジストに照射する（電子線リソグラフィ）。この例では、例えば光または電子線が当たった部分の溶解性が増して現像液に対して溶解しやすくなるポジ型の感光性樹脂が用いられている。そしてこの例では、現像液を用いるウエットエッチングにより、光または電子線が当たった部分を溶解する。図5は、ウエットエッチングが終了した状態を示しており、この状態でフォトレジスト膜7には、電気素子形成用孔部9及びスルーホール導電部を形成するための孔部11が形成されている。図5に示されるように、電気素子形成用孔部9の内部には、一対の接続用電極3、3が露出している。電気素子形成用孔部9の形状は、この例では図2に示されるように矩形である。なお実際には、基板の上に多数の電気素子形成用孔部9およびスルーホール導電部を形成するための孔部11が形成されている。また基板1上にインダクタやコンデンサ等の他の電気素子を形成する場合には、これらのための電気素子形成用孔部9が形成される場合もある。

電気素子形成用孔部9の内部には、電気素子形成用ペースト材料が充填されて電気素子13が形成されている（図1及び図6参照）。この例では、電気素子13は抵抗体である。したがって電気素子形成用ペースト材料としては、エポキシ系やフェノール系の熱硬化性樹脂にカーボン粉末が混練されてなる抵抗体ペーストが用いられる。

なおこの例ではエポキシ系の熱硬化性樹脂を用いた抵抗体ペーストを用いている。抵抗体ペーストを電気素子形成用孔部9に充填する場合には、マスク等により抵抗体ペーストが入ってはならない孔部11を塞ぎ、抵抗体ペーストを電気素子形成用孔部9に充填する。そしてその後、低温焼成炉で加熱して抵抗体ペーストを焼成して抵抗体としての電気素子13を形成する。

電気素子13の上には、保護膜15が形成されている（図1及び図7）。この保護膜15は、電気素子形成用ペースト材料が充填されて電気素子13が形成された電気素子形成用孔部9の開口部を塞ぐように合成樹脂材料によって形成されている。具体的には、エポキシ系の保護コード用塗料を電気素子13の露出面を覆うように塗布して、その後焼成して保護膜15を形成する。この保護膜15の厚みは $10\text{ }\mu\text{m}\sim100\text{ }\mu\text{m}$ 程度である。実用的には $20\text{ }\mu\text{m}\sim30\text{ }\mu\text{m}$ が良い。

フォトレジスト膜7及び保護膜15の上には、フォトレジスト膜7と同様に感光性樹脂によって形成された絶縁層17が形成されている（図1及び図8）。この絶縁層17にもリソグラフィ技術によってスルーホール導電部を形成するための孔部19が形成されている。孔部19と孔部11とは重なって1つのスルーホール21を形成している。なおこの絶縁層17は、1層に限定されるものではなく、必要に応じて多層構造にしてもよい。

図1及び図9に示すように、絶縁層17の上には所定の回路パターン23が形成され、スルーホール21の内部には、回路パターン23と回路パターン5とを電気的に接続するスルーホール導電部25が形成されている。回路パターン23及びスルーホール導電部25は、例えば銀ペースト、銀-パラジウム・ペースト等の導電性ペーストを用いて形成することができる。

電気素子（この例では抵抗体）13についてトリミングが必要な場合には、図10に示すように、絶縁層17を形成するときに、保護膜15の上に保護膜15の少なくとも一部を露出させるトリミング用孔部27を形成しておけばよい。この例のように、絶縁層17をフォトレジスト膜7と同じ感光性樹脂により形成する場合には、絶縁層

17に必要な孔部(図1の孔部19)を形成する際に一緒にトリミング用孔部27をリソグラフィ技術により形成すればよい。もし絶縁層をエポキシ樹脂などにより形成する場合には、スクリーン印刷でトリミング用孔部27を形成してもよく、また絶縁層18を形成した後に、ドリル等の加工器具を用いて機械的にトリミング用孔部27を形成してもよい。

トリミングを行う場合には、トリミング用孔部27にレーザ光線を照射してレーザトリミングを行えばよい。なおトリミングを実施すると、保護膜15が部分的に無くなる上、トリミング溝が露出することになる。その場合には、トリミング後にトリミング用孔部27に合成樹脂を充填してトリミング用孔部27を封止すればよい。

電気素子としてインダクタを形成する場合には、電気素子形成用孔部の形状を所定のインダクタンスが得られる形状にし、さらに電気素子形成用ペースト材料としてフェライトーレジン系のようなインダクタ形成材料を用いればよい。

電気素子としてコンデンサを形成する場合には、図1-1に示すような構造を採用する。すなわち基板101の上にコンデンサの下側電極となる接続用電極103を備えた回路パターン105を形成する。そして基板101の上に、この接続用電極103を露出させる電気素子形成用孔部109を備えたフォトレジスト膜107を形成する。そして電気素子形成用孔部109の内部に誘電材料ペーストを充填し、これを焼成して誘電体を形成する。その後フォトレジスト膜107の上に導電ペーストを用いて上側電極122を含む回路パターン123を形成する。このようにすれば従来よりも小さい印刷コンデンサを基板101の上に簡単に形成することができる。

図1-2は、本発明の回路基板を内層回路基板として構成した複層回路基板の一例の断面斜視図である。この例では、図1に示した構造と同様の部分には、図1に示した部材に付した符号に200の数を付してある。なおこの例では、特に電気素子の上に保護膜は設けていない。

産業上の利用可能性

本発明によれば、基板の上に形成する電気素子を従来よりも大幅に小さくすることができます。そのため回路基板の回路パターンの高密度化に対応できる上、本発明の回路基板を複層回路基板のコア基板等に用いると複層回路基板を従来よりも更に高密度化することができる。

請求の範囲

1. 絶縁材料によって形成された基板と、

前記基板の表面に形成されて1以上の中継用電極を含む回路パターンと、

前記1以上の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術により形成された1以上の電気素子形成用孔部を備えて前記基板の前記表面に形成されたフォトレジスト膜と、

前記電気素子形成用孔部に電気素子形成用ペースト材料が充填されて形成された電気素子とを具備してなる電気部品を備えた回路基板。

2. 絶縁材料によって形成された基板と、

前記基板の表面に形成されて1セット以上の一对の接続用電極を含む回路パターンと、

前記一对の接続用電極の少なくとも一部をそれぞれ露出させるようにリソグラフィ技術により形成された1以上の電気素子形成用孔部を備えて前記基板の前記表面に形成されたフォトレジスト膜と、

前記電気素子形成用孔部に導電性を有する電気素子形成用ペースト材料が充填されて形成された電気素子とを具備してなる電気部品を備えた回路基板。

3. 前記電気素子形成用ペースト材料が充填された前記電気素子形成用孔部の開口部を塞ぐ合成樹脂材料からなる保護膜を更に備えている特許請求の範囲第2項に記載の電気部品を備えた回路基板。

4. 前記フォトレジスト膜の上に合成樹脂材料からなる1層構造以上の絶縁層が更に形成されて、前記絶縁層の上に回路パターンが更に形成されている特許請求の範囲第3項に記載の電気部品を備えた回路基板。

5. 前記絶縁層には、前記電気素子に対応した部分に前記保護膜の少なくとも一部を露出させるトリミング用孔部が形成されている請求項4に記載の電気部品を備えた回路基板。

6. 絶縁材料によって形成された基板の表面に1以上の接続用電極を含む回路パターンを形成する工程と、

前記基板の前記表面にフォトレジスト膜を形成する工程と、

前記1以上の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用いて1以上の電気素子形成用孔部を前記フォトレジスト膜に形成する工程と、

前記電気素子形成用孔部に電気素子形成用ペースト材料を充填して電気素子を形成する工程とからなる電気部品を備えた回路基板の製造方法。

7. 絶縁材料によって形成された基板の表面に1セット以上の一対の接続用電極を含む回路パターンを形成する工程と、

前記基板の前記表面にフォトレジスト膜を形成する工程と、

前記一対の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用いて1以上の電気素子形成用孔部を前記フォトレジスト膜に形成する工程と、

前記電気素子形成用孔部に電気素子形成用ペースト材料を充填して電気素子を形成する工程とからなる電気部品を備えた回路基板の製造方法。

8. 前記電気素子形成用ペースト材料が充填された前記電気素子形成用孔部を塞ぐように合成樹脂材料を用いて保護膜を形成する工程を更に備えた特許請求の範囲第7項に記載の電気部品を備えた回路基板の製造方法。

9. 前記保護膜を形成した後に、前記フォトレジスト膜の上に合成樹脂材料を用いて1層構造以上の絶縁層を形成する工程と、前記絶縁層の上に回路パターンを形成する工程とを更に備えた特許請求の範囲第8項に記載の電気部品を備えた回路基板の製造方法。

10. 絶縁材料によって形成された基板の表面に1セット以上の一対の接続用電極を含む回路パターンを形成する工程と、

前記基板の前記表面にフォトレジスト膜を形成する工程と、

前記一対の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用いて1以上の電気素子形成用孔部を前記フォトレジスト膜に形成する工程と、

前記電気素子形成用孔部に抵抗ペースト材料を充填して抵抗体を形成する工程とか
らなる電気部品を備えた回路基板の製造方法。

11. 絶縁材料によって形成された基板の表面に1セット以上の一対の接続用電極
を含む回路パターンを形成する工程と、

前記基板の前記表面にフォトレジスト膜を形成する工程と、

前記一対の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用
いて1以上の電気素子形成用孔部を前記フォトレジスト膜に形成する工程と、

前記電気素子形成用孔部に電気素子形成用ペースト材料を充填して電気素子を形成
する工程と、

前記電気素子形成用ペースト材料が充填された前記電気素子形成用孔部を塞ぐよう
に合成樹脂材料を用いて保護膜を形成する工程と、

前記フォトレジスト膜の上に合成樹脂材料を用いて1層構造以上の絶縁層を形成す
る工程と、

前記絶縁層の上に回路パターンを形成する工程と、

トリミングが必要な電気素子に対応する前記絶縁層の部分にトリミング用孔を形成
して前記保護膜の少なくとも一部を露出させる工程と、

前記トリミング用孔を通して前記トリミングが必要な電気素子にトリミングを施す
工程とからなる電気部品を備えた回路基板の製造方法。

12. トリミングが終了した後に、前記トリミング用孔に合成樹脂を充填すること
を特徴とする特許請求の範囲第11項に記載の電気部品を備えた回路基板の製造方法。

13. 絶縁材料によって形成された基板の表面に1セット以上の一対の接続用電極
を含む回路パターンを形成する工程と、

前記基板の前記表面にフォトレジスト膜を形成する工程と、

前記一対の接続用電極の少なくとも一部を露出させるようにリソグラフィ技術を用
いて1以上の電気素子形成用孔部を前記フォトレジスト膜に形成する工程と、

前記電気素子形成用孔部に抵抗ペースト材料を充填して抵抗体を形成する工程と、

前記抵抗ペースト材料が充填された前記電気素子形成用孔部を塞ぐように合成樹脂ペースト材料を用いて保護膜を形成する工程と、
前記フォトレジスト膜の上に合成樹脂ペースト材料を用いて1層構造以上の絶縁層を形成する工程と、
前記絶縁層の上に回路パターンを形成する工程と、
トリミングが必要な前記抵抗体に対応する前記絶縁層の部分にトリミング用孔を形成して前記保護膜の少なくとも一部を露出させる工程と、
前記トリミング用孔を通して前記トリミングが必要な抵抗体にレーザートリミングを施す工程とからなる電気部品を備えた回路基板の製造方法。

Fig. 1

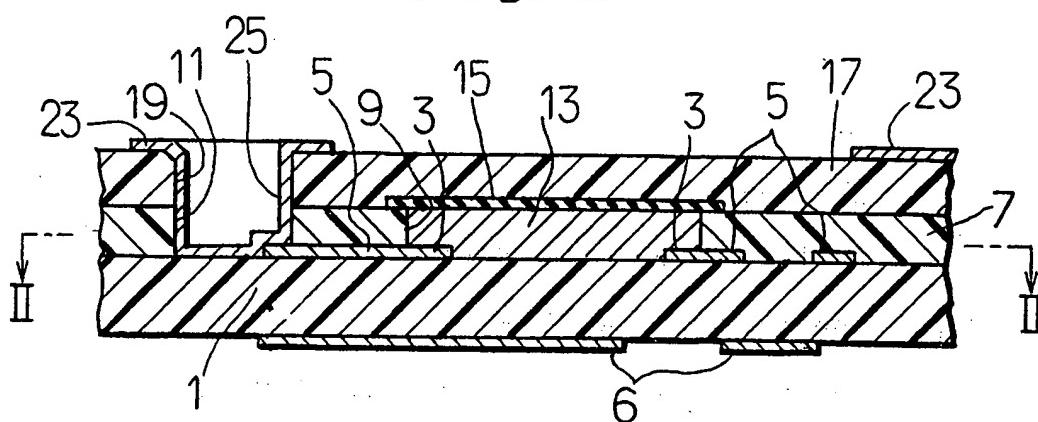


Fig. 2

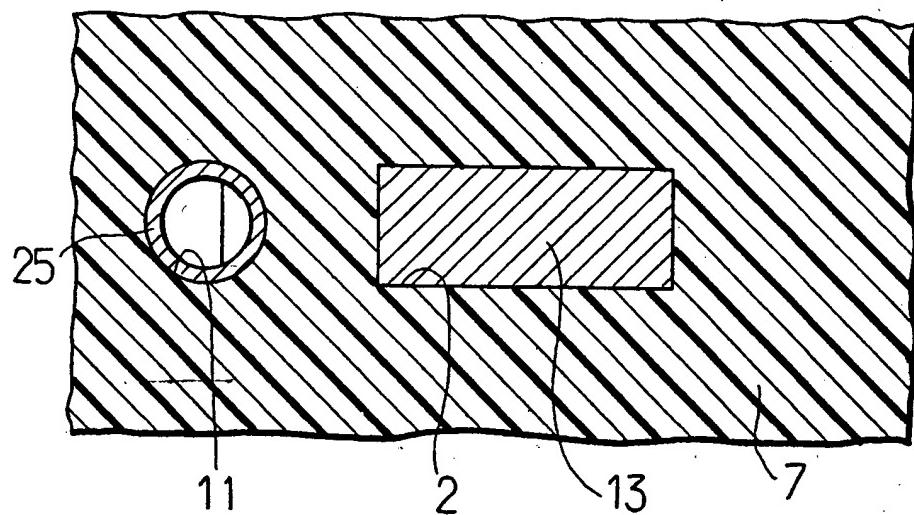


Fig. 3

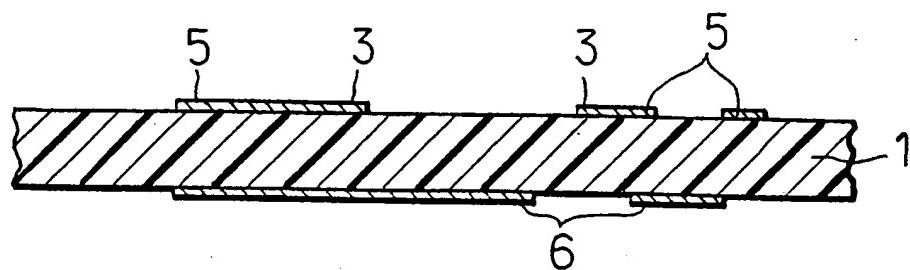


Fig. 4

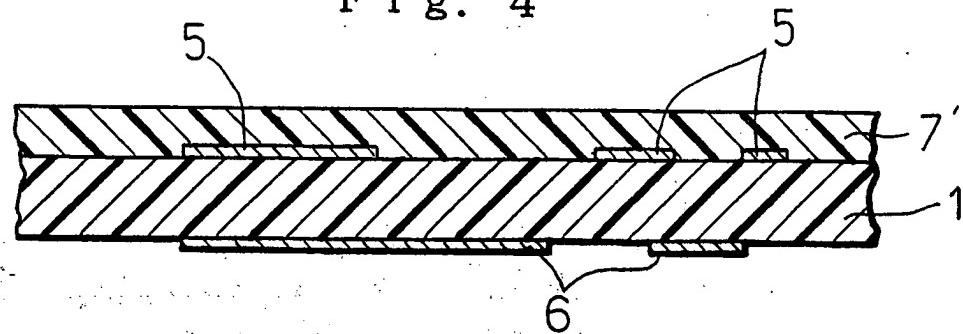


Fig. 5

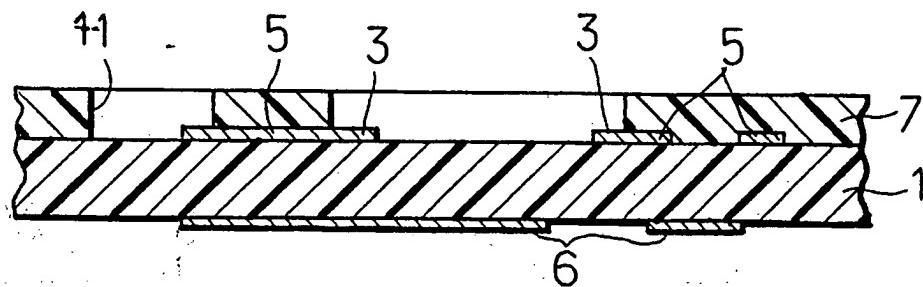


Fig. 6

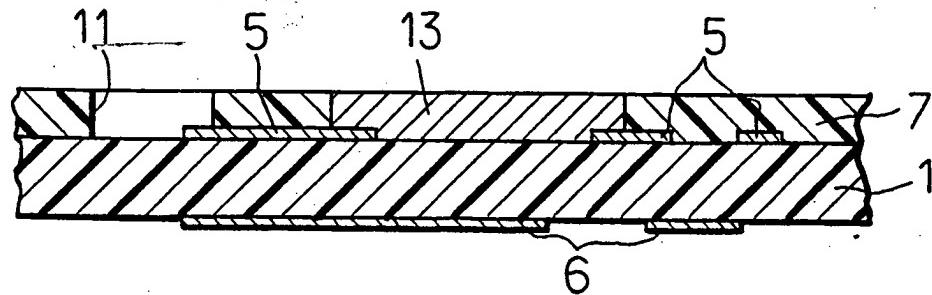


Fig. 7

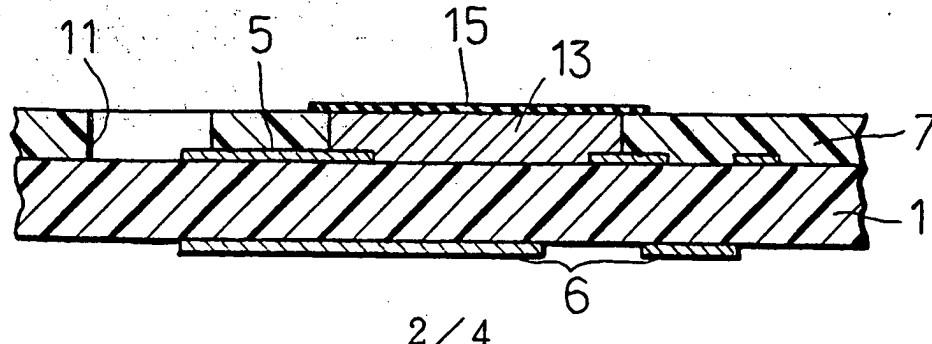


Fig. 8

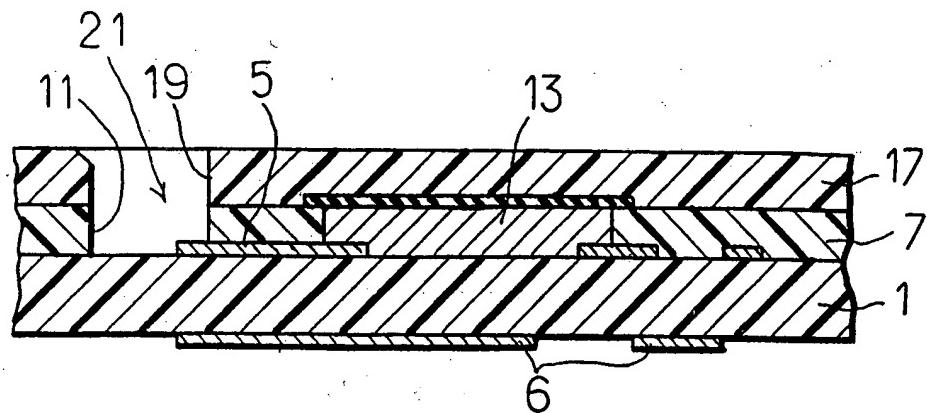


Fig. 9

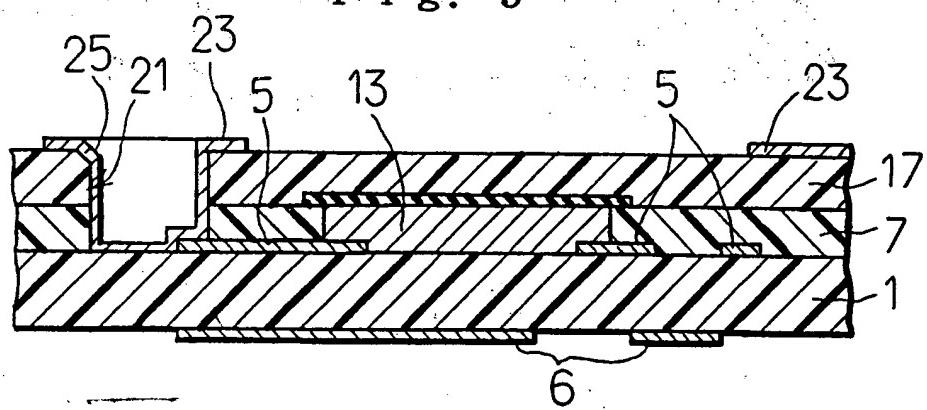


Fig. 10

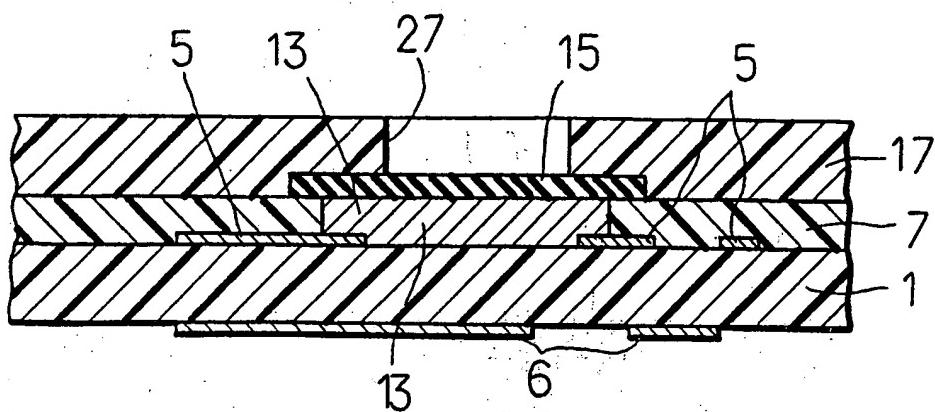


Fig. 11

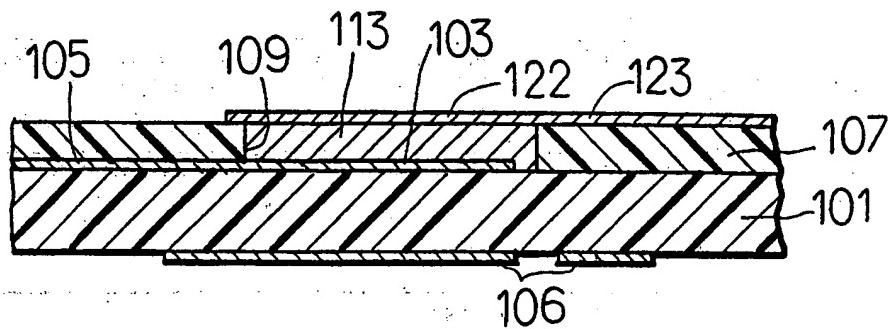
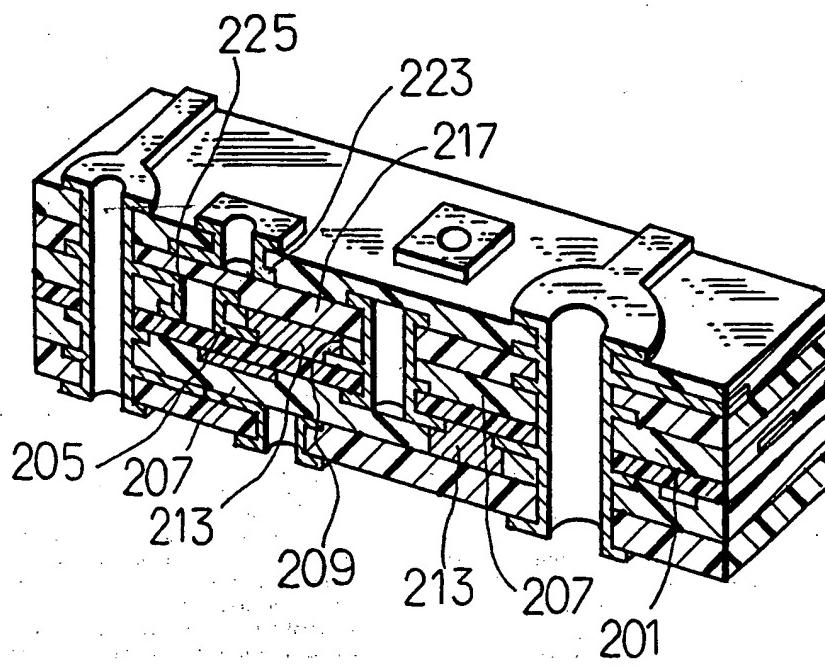


Fig. 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04655

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H05K1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHEDMinimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H05K1/00-3/46Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP, 8-307036, A (JGC Corp.), November 22, 1996 (22. 11. 96) (Family: none) | 1-13 |
| A | JP, 8-274448, A (JGC Corp.), October 18, 1996 (18. 10. 96) (Family: none) | 1-13 |
| A | JP, 6-177276, A (NEC Corp.), June 24, 1994 (24. 06. 94) (Family: none) | 1-13 |

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
March 24, 1998 (24. 03. 98)Date of mailing of the international search report
March 31, 1998 (31. 03. 98)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl. H05K 1/16

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl. H05K 1/00 - 3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| A | J P、8-307036、A (日揮株式会社)、 22. 11月. 1996 (22. 11. 96)、 (ファミリーなし) | 1-13 |
| A | J P、8-274448、A (日揮株式会社)、 18. 10月. 1996 (18. 10. 96)、 (ファミリーなし) | 1-13 |
| A | J P、6-177276、A (日本電気株式会社)、 24. 6月. 1994 (24. 06. 94)、 (ファミリーなし) | 1-13 |

 C欄の続きを参照する。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行口若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24. 03. 98

国際調査報告の発送日

31.03.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

川端 修

印

4 E 8718

電話番号 03-3581-1101 内線 3425